

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-103034

(43) 公開日 平成11年(1999) 4月13日

(51) Int.Cl.⁶
H 0 1 L 27/12
21/265
21/762

識別記号

F I
H 0 1 L 27/12 B
21/265 Q
21/76 D

審査請求 未請求 請求項の数15 O L (全 9 頁)

(21) 出願番号 特願平9-260592

(22) 出願日 平成9年(1997) 9月25日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 松井 正樹

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 山内 庄一

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

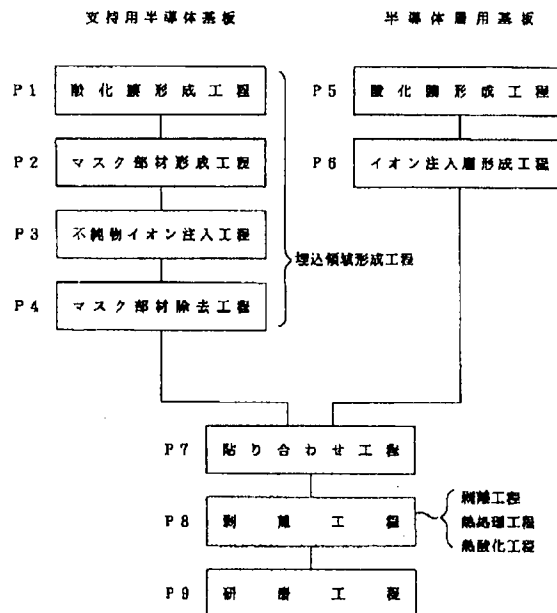
(74) 代理人 弁理士 佐藤 強

(54) 【発明の名称】 半導体基板の製造方法

(57) 【要約】

【課題】 簡単なプロセスで半導体層の下方に埋込領域を有する半導体基板を形成する。

【解決手段】 支持用の単結晶シリコン基板に酸化膜を形成し (P1)、マスク部材をフォトリソによりパターンニングし (P2)、この上から不純物をイオン注入して (P3) 埋込電極パターンを形成した後、フォトリソを剥離する (P4)。半導体層用の単結晶シリコン基板に酸化膜を形成し (P5)、水素を高濃度でイオン注入して剥離用のイオン注入層を形成する (P6)。これら2枚の基板を親水化処理した上で貼り合わせ (P7)、剥離工程 (P8) で熱処理を行なって剥離すると共に埋込電極パターンの単結晶化を図る。剥離面をCMPなどの研磨処理で平坦にして半導体基板を得る。



【特許請求の範囲】

【請求項1】 素子形成用の半導体層（5）を支持用半導体基板（2）上に絶縁膜（4）を介して設けてなる半導体基板（1）の製造方法において、前記支持用半導体基板（2）に不純物を導入して埋込領域（3，19，21）として形成する埋込領域形成工程（P1～P4）と、前記半導体層（5）を形成するための半導体層用基板（14）に剥離用のイオン注入層（17）をその半導体層（5）に対応した深さに形成するイオン注入層形成工程（P6）と、前記埋込領域（3）を形成した支持用半導体基板（2）と前記イオン注入層（17）を形成した前記半導体層用基板（14）を貼り合わせる貼り合せ工程（P7）と、前記貼り合せ工程（P7）において貼り合わせた支持用半導体基板（2）および半導体層用基板（14）を熱処理することにより前記イオン注入層（17）で剥離する剥離工程（P8）とを含んでなることを特徴とする半導体基板の製造方法。

【請求項2】 請求項1記載の半導体基板の製造方法において、前記埋込領域形成工程（P1～P4）においては、前記支持用半導体基板（2）に対してイオン注入法により不純物を導入する（P3）ことを特徴とする半導体基板の製造方法。

【請求項3】 請求項2に記載の半導体基板の製造方法において、前記埋込領域形成工程（P1～P4）においては、前記支持用半導体基板（2）への不純物の導入に先だって表面に酸化膜（4）を形成することを特徴とする半導体基板の製造方法。

【請求項4】 請求項2または3に記載の半導体基板の製造方法において、前記貼り合わせ工程（P7）においては、前記支持用半導体基板（2）の表面に前記埋込領域形成工程（P1～P4）において用いた前記酸化膜（4）を残した状態で貼り合わせを行なうことを特徴とする半導体基板の製造方法。

【請求項5】 請求項1記載の半導体基板の製造方法において、前記埋込領域形成工程（P1～P4）は、前記支持用半導体基板（2）の表面に酸化膜（4）を形成する酸化膜形成工程（P1）と、前記支持用半導体基板（2）の前記酸化膜（4）の表面にマスク部材（15，20，22）を前記埋込領域（3，19，21）のパターンに形成するマスク部材形成工程（P2）と、前記支持用半導体基板（2）に前記マスク部材（15，20，22）をマスクとして前記酸化膜（4）を介して不純物をイオン注入により導入して前記埋込領域（3，

19，21）を形成する不純物イオン注入工程（P3）と、前記マスク部材（15，20，22）を除去するマスク部材除去工程（P4）とを含んでなることを特徴とする半導体基板の製造方法。

【請求項6】 請求項3ないし5のいずれかに記載の半導体基板の製造方法において、前記埋込領域形成工程（P1～P4）においては、前記支持用半導体基板（2）を熱酸化することにより前記酸化膜（4）を形成することを特徴とする半導体基板の製造方法。

【請求項7】 請求項2ないし6のいずれかに記載の半導体基板の製造方法において、前記埋込領域形成工程（P1～P4）において前記支持用半導体基板（2）に不純物をイオン注入法により導入したときの結晶の乱れを熱処理工程（P8）を実施することにより再結晶化することを特徴とする半導体基板の製造方法。

【請求項8】 請求項7に記載の半導体基板の製造方法において、前記熱処理工程（P8）は、前記貼り合わせ工程（P7）以降に行なうことを特徴とする半導体基板の製造方法。

【請求項9】 請求項8に記載の半導体基板の製造方法において、前記熱処理工程（P8）は、前記剥離工程（P8）の熱処理を行なうことにより実施することを特徴とする半導体基板の製造方法。

【請求項10】 請求項1ないし9のいずれかに記載の半導体基板の製造方法において、前記埋込領域形成工程（P1～P4）は、前記埋込領域（3，19，21）に導入する不純物としてその導入領域の導電形と異なる導電形を形成する不純物を用いることを特徴とする半導体基板の製造方法。

【請求項11】 請求項1ないし10のいずれかに記載の半導体基板の製造方法において、前記埋込領域形成工程（P1～P4）は、前記支持用半導体基板（2）としてのシリコン基板に前記埋込領域（3，19，21）に導入する不純物として砒素（As）、リン（P）あるいは硼素（B）を用いることを特徴とする半導体基板の製造方法。

【請求項12】 請求項1ないし11のいずれかに記載の半導体基板の製造方法において、前記イオン注入層形成工程（P6）においては、前記イオン注入層（17）を形成するに先だって、前記半導体層用基板（14）の表面に酸化膜（16）を形成する（P5）ことを特徴とする半導体基板の製造方法。

【請求項13】 請求項12に記載の半導体基板の製造方法において、前記イオン注入層形成工程（P6）においては、前記半

導体層用基板(14)に形成した酸化膜(16)を、イオン注入層(17)形成後において残した状態として前記貼り合わせ工程(P7)に移行させるようにしたことを特徴とする半導体基板の製造方法。

【請求項14】 請求項1ないし13のいずれかに記載の半導体基板の製造方法において、前記剥離工程(P8)以降の工程において、酸性雰囲気中で熱処理を行なうことにより前記半導体層(5)と前記酸化膜(4)との界面部分の半導体層(5)側を酸化させる熱酸化工程(P8)を設けたことを特徴とする半導体基板の製造方法。

【請求項15】 請求項14に記載の半導体基板の製造方法において、前記熱酸化工程(P8)は、前記剥離工程(P8)に行なう熱処理で連続的に実施することを特徴とする半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、素子形成用の半導体層を支持用半導体基板上に絶縁膜を介して設けてなる半導体基板の製造方法に関する。

【0002】

【発明が解決しようとする課題】支持基板上に絶縁膜を介して素子形成用の単結晶の半導体層を形成してなる半導体基板としては、例えば、半導体層としてシリコン単結晶薄膜を設ける構成のSOI(Silicon On Insulator)基板がある。これは、支持基板となるシリコン基板上に絶縁膜としての酸化膜を形成した上に半導体層としての単結晶シリコン薄膜を形成した構造を有するものである。このような半導体基板を用いて形成されたMOSトランジスタは、その構造上、寄生容量が低減できるなどの理由により半導体集積回路の高速、低消費電力動作が可能である。

【0003】このようなSOI構造を有する半導体基板の形成方法としては、従来より、種々の方法があるが、そのひとつとして貼り合わせ法がある。これは、絶縁膜を形成した支持基板に対して、素子形成用の半導体層を形成するための単結晶シリコン基板を貼り合わせ、その後、貼り合わせた単結晶シリコン基板を裏面側から所定厚さまで研削および研磨をしたり、あるいは特開平5-211128号公報に開示されているような方法で剥離することにより、支持基板側に所望の厚さの単結晶シリコン薄膜を残すようにして半導体層を形成するものである。

【0004】また、上述のようなSOI構造を有する半導体基板としては、表面に形成する単結晶シリコン薄膜をあらかじめ島状に分離した状態として酸化膜上に形成した構成のものがある。この場合には、その製造工程上の都合から、貼り合わせを行なう基板の面が凹凸を有する構造となるため、このような凹凸が発生する場合でも

貼り合わせを確実に行なえるようにした方法として、特開平1-302837号公報に示される方法がある。

【0005】これは、シリコン基板の表面の所定領域に凹部を形成し、続いてそのシリコン基板上に酸化膜を形成すると共に多結晶シリコン膜を形成し、その多結晶シリコン膜の表面を平坦にすべく研磨を行ない、この後、支持基板としてのもう一枚のシリコン基板と貼り合わせ、選択研磨を行なうことによりSOI構造を有する半導体基板を形成するものであり、これにより、均一な膜厚の単結晶シリコン薄膜を0.1μm程度まで薄く形成することができるようになる。

【0006】ところで、近年では、このようなSOI構造をとる半導体基板を利用して形成する素子として、半導体層の下層に位置する酸化膜中にあらかじめ電極パターンを埋込形成した構成のものが考えられており、このような構成の半導体基板を提供することにより、基板表面の半導体層中に形成した素子に対して、埋込電極に印加する電圧を変化させることにより表面側に設けるゲート電極の動作しきい値電圧を変更設定することができるようにしたものがある。

【0007】しかしながら、上述のように酸化膜中に電極パターンを形成する場合には、例えば多結晶シリコンを用いるとかあるいは金属を埋込形成することが考えられるが、そのような酸化膜中への埋込構造を形成するための工程が複雑になる点で実用上において採用し難いという問題がある。

【0008】本発明は、上記事情に鑑みてなされたもので、その目的は、比較的簡単なプロセスを経ることで半導体層の下方から絶縁膜を介して電圧を印加可能な埋込領域を有する半導体基板を形成することができるようにした半導体基板の製造方法を提供することにある。

【0009】

【課題を解決するための手段】請求項1の発明によれば、埋込領域形成工程において支持用半導体基板に不純物を導入して埋込領域を形成し、イオン注入層形成工程において半導体層用基板に剥離用のイオン注入層を所定の深さに形成し、これらの基板を貼り合わせ工程において貼り合わせ、剥離工程において熱処理を行なって剥離を行ない、支持用半導体基板上に半導体層を形成することができる。そして、これにより、支持用半導体基板内に不純物を導入して埋込領域を形成するという簡単な工程を追加することで、埋込領域を用いて埋込電極としてあるいは埋込配線として利用することができる構成を得ることができる。

【0010】請求項2の発明によれば、上述の埋込領域形成工程において、イオン注入法により支持用半導体基板に対して不純物を導入するので、簡単且つ精度良く埋込領域を形成することができ、全体として製造工程を簡単にすることができる。

【0011】請求項3の発明によれば、埋込領域形成工

程において、支持用半導体基板の表面に酸化膜を形成した状態で不純物の導入を行なうので、イオン注入等の方法により不純物を導入する場合に、支持用半導体基板の表面が直接ダメージを受けることを防止することができるようになる。

【0012】請求項4の発明によれば、貼り合わせ工程を実施する際に、支持用半導体基板に対して埋込領域形成工程において形成している酸化膜をそのまま残した状態としているので、支持用半導体基板の表面を露出させることなく保護した状態で貼り合わせ工程に移行させることができると共に、その酸化膜を埋込領域の半導体層に対するゲート酸化膜として利用することができるようになる。

【0013】請求項5の発明によれば、埋込領域形成工程を、酸化膜形成工程、マスク部材形成工程、不純物イオン注入工程およびマスク部材除去工程から構成し、これらにより埋込領域を形成するようにしたので、不純物導入の工程を簡単且つ短時間で実施できるようにすることができる。

【0014】請求項6の発明によれば、埋込領域形成工程において、支持用半導体基板を熱酸化することにより酸化膜を形成するので、緻密で良質かつ膜厚の均一性の良い酸化膜を得ることができ、この酸化膜を埋込領域に対するゲート酸化膜として使用することで特性の良い素子を形成することができるようになる。

【0015】請求項7の発明によれば、埋込領域形成工程において支持用半導体基板に不純物をイオン注入法を用いて導入したときの結晶の乱れを熱処理工程を実施することにより再結晶化するので、支持用半導体基板として単結晶基板を用いるようにすれば、埋込領域として単結晶の不純物領域を設けることができ、低抵抗化を実現することができ、素子の特性の向上を図ることができる。

【0016】請求項8の発明によれば、熱処理工程を、貼り合わせ工程以降に行なうので、例えば、請求項9の発明におけるように、剥離工程の熱処理を行なうことでその熱処理を実施することができ、これによって埋込領域の結晶構造の乱れを戻すことができるようになり、別途に熱処理工程を設ける必要もなくなる。

【0017】請求項10の発明によれば、埋込領域形成工程においては、埋込領域に導入する不純物としてその導入領域の導電型と異なる導電型を形成する不純物を用いるので、例えば、支持用半導体基板に直接不純物を導入する場合においては、その支持用半導体基板の導電型と反対の導電型の埋込領域として形成することができ、また、支持用半導体基板にあらかじめ異なる導電型の不純物拡散領域が形成されている場合には、その導電型と反対の導電型つまり支持用半導体基板の導電型と同じ導電型の不純物を導入することで反対の導電型の埋込領域として形成することができ、これによって、その埋込領

域に独立して電圧を印加することができる構成が得られ、埋込ゲートとしての機能を実現することができるようになる。

【0018】請求項12の発明によれば、イオン注入層形成工程において、イオン注入層を形成するに先だって、半導体層用基板の表面に酸化膜を形成するので、半導体層として形成する部分をイオン注入によるダメージが極力少なくすることができるようになる。

【0019】請求項13の発明によれば、イオン注入層形成工程において、半導体層用基板に形成した酸化膜を、イオン注入層形成後において残した状態として貼り合わせ工程に移行させるので、半導体層用基板の表面を酸化膜で保護した状態としたままで工程を進めることができ、汚染などによる特性の劣化を極力防止することができるようになる。

【0020】請求項14の発明によれば、剥離工程以降に酸化性雰囲気中で熱酸化工程を行なうことにより、半導体層と酸化膜との界面部分の半導体層を酸化させるので、半導体層と酸化膜との界面部分が貼り合わせ時の貼り合わせ面となっている場合には、新たに形成される熱酸化膜により半導体層との界面が半導体層側の内部に移動し、これによって界面部分の特性の向上を図ることができ、埋込領域による半導体層へのゲート酸化膜としての特性を向上させることができる。

【0021】請求項15の発明によれば、熱酸化工程を、剥離工程に行なう熱処理で連続的に実施するので、熱酸化工程を別途に実施する必要がなく、工程数を増やすことなく簡単且つ安価に特性向上のための工程を実施することができる。

【0022】

【発明の実施の形態】

(第1の実施形態) 以下、本発明の第1の実施形態について図1ないし図4を参照しながら説明する。図3

(c)は本発明の製造方法を用いて形成する半導体基板であるSOI基板1の模式的な断面を示すもので、支持用半導体基板としての単結晶シリコン基板2の表層部には埋込領域としての埋込電極パターン3が形成されている。この場合、単結晶シリコン基板2は、例えば、p型で面方位が<100>、所定の比抵抗値の単結晶シリコンからなるもので、埋込電極パターン3は、n型の不純物がイオン注入により導入されて形成されたものである。

【0023】この単結晶シリコン基板2上には熱酸化により形成された所定膜厚のシリコン酸化膜4が設けられると共に、その上に半導体層としての単結晶シリコン薄膜5が積層形成されている。シリコン酸化膜4は、埋込電極パターン3に対してゲート酸化膜としての機能を果たすものである。

【0024】さて、上述のようにして形成されているSOI基板1は、例えば、図4に示すような半導体素子6

を形成するのに用いられる。すなわち、この半導体素子6は、SOI基板1の単結晶シリコン薄膜5を絶縁分離することにより島状に形成した素子形成領域に、例えば不純物を拡散することによりチャンネル領域7を形成する。この上にゲート酸化膜8aを形成すると共にゲート電極9を形成し、全体を酸化膜8で覆うようにした後、チャンネル領域7のソース端子10、ドレイン端子11およびゲート電極9にアルミニウムなどの金属電極12を形成して、他の部分に保護膜13を設ける。

【0025】さらには、単結晶シリコン基板2の表層に形成している埋込電極パターン3には図示しない他の部分からオーミック接触をとって外部から電圧を印加可能に形成されている。そして、このような半導体素子6を形成することにより、チャンネル領域7が絶縁分離された良質の素子を形成できると共に、埋込電極パターン3を利用してバックゲートとしての機能を付加した構成とすることができ、これによって、ゲート電極9に印加する制御電圧のしきい値を変化させることができ、素子の制御特性の向上を図ることができるものである。

【0026】さて、次に、上述したようなSOI基板1の製造方法について、図1ないし図3を参照して説明する。図1は、SOI基板1の製造工程について概略的に示すもので、以下、この製造工程にしたがって説明する。全体の概略的な流れとしては、まず、支持用半導体基板としての単結晶シリコン基板2に対して、埋込領域形成工程として設けられた4つの工程である、酸化膜形成工程P1、マスク部材形成工程P2、不純物イオン注入工程P3およびマスク部材除去工程P4を実施する。次に、半導体層用基板としての単結晶シリコン基板14に対して酸化膜形成工程P5、イオン注入層形成工程P6を実施する。この後、2枚の単結晶シリコン基板2および14に対して貼り合わせ工程P7、剥離工程P8および研磨工程P9を実施して半導体基板としてのSOI基板1を得る。

【0027】支持用半導体基板としての単結晶シリコン基板2は、前述したようにp型の不純物が導入されたもので、少なくとも酸化膜4を形成する側の面は鏡面に仕上げられたものである。埋込領域形成工程においては、まず、この単結晶シリコン基板2に対して酸化膜形成工程P1で熱酸化を行なうことにより表面に所定膜厚（例えば、10～100nmの範囲）の酸化膜4を形成する（図2（a）参照）。なお、この酸化膜4は、後工程での不純物イオンの注入工程の際に、重金属による汚染を防止する膜としても機能するものである。

【0028】続いて、マスク部材形成工程P2において、フォトリソグラフィ処理を行なうことによって、単結晶シリコン基板2の酸化膜4を設けた表面にフォトレジスト膜15をパターンニングする。このフォトレジスト膜15のパターンは、次の不純物イオン注入工程P3のイオン注入でマスク部材として機能するように膜厚を設

定している（同図（b）参照）。

【0029】そして、不純物イオン注入工程P3では、上述のフォトレジスト膜15をマスク部材として不純物であるAs（砒素）イオンを所定エネルギーで加速して所定のドーズ量を注入する。この注入するイオン種であるAsは、シリコンに対してn型の不純物として作用するので、基板に注入された領域はn型領域として形成されることになる。これにより、酸化膜4の直下に位置する単結晶シリコン基板2の表面部分に埋込領域としての埋込電極パターン3が形成される（同図（c）参照）。

【0030】なお、注入する不純物イオン種は、Asイオンに限らず、n型として機能させる場合にはリン（P）イオンを用いることもできるし、あるいは、基板がn型である場合に対応してp型の不純物であるボロン（B）イオンを用いることもできる。また、さらには必要に応じて他のイオン種を用いることもできる。

【0031】そして、この時点では、埋込電極パターン3部分は注入したAsイオンによりシリコンの格子配列が乱れた状態となっており、後の熱処理工程を経て再結晶化を行なう。次に、フォトレジスト剥離工程P4において、マスク部材として使用したフォトレジスト膜15を周知の方法により剥離する（同図（d）参照）。酸化膜4はこのまま残した状態で貼り合わせ工程P7に移行する。

【0032】次に、半導体層用基板である単結晶シリコン基板14は、形成しようとする半導体層である単結晶シリコン薄膜5の特性に合わせたものを用い、その少なくとも酸化膜16を形成する面側は鏡面に仕上げられている。この単結晶シリコン基板14に対して、まず、酸化膜形成工程P5で表面に熱酸化によって酸化膜16を形成する。この酸化膜16は、次工程のイオン注入層形成工程P6において基板中への重金属の混入などによる汚染の防止あるいはダメージの低減を目的として設けるものである。

【0033】イオン注入層形成工程P6では、水素イオン（プロトン）もしくは希ガスを、イオン注入する（図3（a）参照）。この場合、イオン注入量は、例えば 1×10^{16} atoms/cm² 以上で、好ましくは、 5×10^{16} atoms/cm² 以上とし、高濃度のイオン注入層17を形成する。また、このとき注入深さは、形成しようとする単結晶シリコン薄膜5の膜厚に応じた深さとなるように、イオンの加速電圧を制御することで行ない、具体的には、0.1μm～2μm程度の範囲の深さとなるように加速電圧を設定する。

【0034】この後、酸化膜16を、ウェットエッチング処理（例えばフッ酸系のエッチング液を使用）あるいはドライエッチング処理を行なって表層部分をエッチング除去する。このとき、酸化膜16を全部エッチングすることもできるが、ここでは、一部を残すようにしてエッチングする。なお、エッチングを行わずにそのまま

酸化膜16を残すことも可能である。

【0035】続いて、上述のようにして準備された2枚の単結晶シリコン基板2および14に対して貼り合わせ工程P7を実施する。まず、単結晶シリコン基板2および14のそれぞれに対して親水化処理を行なう。親水化処理は、例えば、硫酸(H_2SO_4)と過酸化水素水(H_2O_2)とを4:1で混合した溶液中で、90℃～120℃で保持した状態で洗浄を行なった後、純水洗浄を順次行ない、スピンド乾燥により基板表面に吸着する水分量を制御する。

【0036】この後、単結晶シリコン基板2の埋込電極パターン3を形成した側の面と、単結晶シリコン基板14のイオン注入層17を形成した側の面とを貼り合わせて密着させる(同図(b)参照)。これにより、2枚の単結晶シリコン基板2、14は、それぞれの表面に形成されたシラノール基、および表面に吸着した水分子の水素結合によって接着される。

【0037】この後、剥離工程P8を実施する。剥離工程P8は、2段階に分けて熱処理を行なう。これは、高濃度のイオン注入層17部分で剥離現象を起こさせるようにする第1の熱処理と、貼り合わせを行なった面の接合強度を高めるために行なう第2の熱処理とである。水素イオンが注入されたイオン注入層17である場合における第1の熱処理では、400℃～600℃の範囲の温度で、好ましくは500℃程度で熱処理を行なう。これにより、イオン注入層17部分で剥離現象を生じさせ、単結晶シリコン基板2側に半導体層としての単結晶シリコン薄膜5を残して剥離し、SOI構造を得る。なお、この状態では、剥離面部分に数nmから数十nm程度の微小段差(面粗さ)が生じていると共に、表面にはイオン注入工程にて発生した欠陥領域が残存している。

【0038】次に、第2の熱処理においては、例えば、1000℃～1200℃程度で、好ましくは1100℃程度で窒素雰囲気中で高温熱処理を行なうことにより、貼り合わせ面の接合強度を高める。これにより、接合面部分では、脱水縮合反応が起こってより強固な状態で接合されるようになる。また、この熱処理では、第1の熱処理と共に単結晶シリコン基板2ないにイオン注入法により形成した埋込領域3の部分の結晶の乱れを再配列させてエピタキシャル成長させることができるので、埋込電極パターン3の領域を単結晶化することができるようになる。

【0039】さらに、第2の熱処理では、途中で酸化性雰囲気中(例えば酸素雰囲気中)で所定時間だけ熱処理を行なうことで、単結晶シリコン薄膜5の表面側および酸化膜4との界面側を熱酸化させて薄い酸化膜を形成する。これにより、単結晶シリコン薄膜5の表面側においては、剥離によって生じている微小な段差が緩和されるように酸化膜が形成され、酸化膜4との界面側では、シリコンと酸化膜との界面が貼り合わせ時の接着面であつ

たのが単結晶シリコン薄膜5内部の熱酸化により形成された酸化膜とシリコンとの界面となり、界面の特性を改善することができる。なお、この第2の熱処理を必要に応じて、すべて酸化性雰囲気中で行っても良い。

【0040】この後、単結晶シリコン薄膜5の表面に形成された酸化膜をフッ酸などのエッチング液を用いてウェットエッチング処理により除去し、続いて、研磨工程P9により、剥離面に残存している微小段差を無くすようにしながら単結晶シリコン薄膜5の膜厚が所望の膜厚となるように研磨処理(例えば化学的機械的研磨処理CMP)を行なって平坦化し、最終的な仕上げ表面を形成し、SOI基板1を得る(同図(c)参照)。なお、このように単結晶シリコン薄膜5の表面に酸化膜を形成してエッチング除去してから研磨する方法では、研磨のみで剥離面を平坦化する場合に比べて研磨の削り量を少なくすることができ、これによって単結晶シリコン薄膜5の膜厚の均一性を高めることができる。

【0041】上述のようにSOI基板1を形成する過程で、埋込領域としての埋込電極パターン3を形成する場合に、その寸法は、最終的に必要となる寸法に合わせてあらかじめ変動分を見込んで設定しておく必要がある。つまり、例えば、単結晶シリコン基板2に対して、イオン注入により不純物を導入した後に、種々の熱処理を経ることにより深さ方向や横方向への熱拡散が進行するので、マスク寸法に比べて大きく形成されることがある。したがって、この変動分が素子形成において集積度などとの関係で無視できない程度となる場合には考慮する必要がある。

【0042】また、単結晶シリコン基板2の比抵抗の値の選定あるいは埋込電極パターン3の寸法は、埋込電極パターン3にバイアスを印加したときに広がる空乏層の幅を考慮して設定する必要がある。すなわち、単結晶シリコン基板2の比抵抗が高い場合つまり不純物濃度が低い場合には、埋込電極パターン3の周囲に空乏層が広がりが易くなるので、この点を考慮してパターン幅を設定する必要がある。逆に、単結晶シリコン基板2の比抵抗を低く設定できる場合には、埋込電極パターン3の空乏層の広がりが狭いので、設計の自由度が高くなると共に集積度を高くすることができるようになる。

【0043】このような本実施形態によれば、埋込電極パターン3を支持用半導体基板としての単結晶シリコン基板2の表層部に不純物拡散領域として形成するので、SOI構造を有する半導体基板の構造において埋込領域を設ける構成を、簡単且つ安価に形成することができるようになる。

【0044】また、上述の場合に、埋込電極パターン3を不純物をイオン注入することにより形成し、後の剥離工程P8における熱処理で再結晶化を図るので、酸化膜4を形成した状態で形成できると共に、熱処理工程を新たに追加することなく形成することができる

ようになる。

【0045】さらに、この剥離工程P8の熱処理で酸化性雰囲気中で所定時間熱酸化処理を行なうので、形成された単結晶シリコン薄膜5の一部を熱酸化させて酸化膜とするので、両者の界面の質を貼り合わせ時の界面から移動させて良質なものとすることができる。

【0046】(第2の実施形態)図5は本発明の第2の実施形態を示すもので、第1の実施形態と異なるところは、埋込領域を形成する支持用半導体基板としての単結晶シリコン基板2にウェル領域を形成してその中に埋込領域を形成するようにしたところである。これは、例えば、埋込電極パターンとしてn型不純物を導入した領域およびp型不純物を導入した領域の両方を形成する場合に有効なものである。

【0047】すなわち、第1の実施形態と同様にして支持用半導体基板であるp型の単結晶シリコン基板2には、あらかじめn型の不純物を拡散して形成したn型ウェル領域18を設けておく(図5(a)参照)。この場合に、n型ウェル領域18は、酸化膜4を形成した状態でイオン注入法によりn型不純物を導入して形成しても良いし、あるいは熱拡散法によりn型不純物を導入してから新たに酸化膜4を形成するようにしても良い。

【0048】次に、埋込領域としてn型ウェル領域18内に形成する埋込電極パターン19はp型の不純物をイオン注入法により導入すべく、フォトリソ膜20をパターニングしてn型ウェル領域18部分に所定形状に開口するマスク部材として形成する。そして、ボロン(B)などのp型不純物をイオン注入法により導入して埋込電極パターン19を形成し(同図(b)参照)、この後フォトリソ膜20を剥離する。

【0049】同様にして、単結晶シリコン基板2のn型ウェル領域18以外の部分に形成する埋込領域としての埋込電極パターン21は、n型の不純物をイオン注入法により導入すべく、新たにフォトリソ膜22をパターニングしてn型ウェル領域18以外の部分に所定形状に開口するマスク部材として形成する(同図(c)参照)。そして、砒素あるいはリンなどのn型不純物をイオン注入法により導入して埋込電極パターン21を形成し、この後フォトリソ膜22を剥離する(同図(d)参照)。

【0050】上述のようにして埋込電極パターン19、21が形成されると、この後は、第1の実施形態と同様にして半導体層用基板である単結晶シリコン基板14にイオン注入層17を形成すると共に、次の貼り合わせ工程P7、剥離工程P8および研磨工程P9を実施することにより半導体基板を得る。

【0051】このような第2の実施形態によれば、単結晶シリコン基板2内にあらかじめ基板と異なる導電型のウェル領域18を形成することにより、埋込領域としてn型の埋込電極パターン21に加えてp型の埋込電極パ

ターン19を形成することができる。これにより、簡単な製造工程を経ることにより埋込電極パターン19、21を形成することができるようになって、設計の自由度を高めて適用可能な半導体素子の応用範囲の拡大を図ることができるようになる。

【0052】本発明は、上記実施形態にのみ限定されるものではなく、次のように変形また拡張できる。埋込電極パターン3は、支持用半導体基板である単結晶シリコン基板2に対してイオン注入法により不純物を導入して形成したが、これに代えて、例えば熱拡散などの方法により不純物を導入して形成することもできる。

【0053】単結晶シリコン薄膜5と酸化膜4との界面を良質な状態に形成するために、例えば、次のような工程を実施しても良い。まず、半導体層用基板である単結晶シリコン基板14にイオン注入層17を形成した後に、表面に形成している酸化膜16を除去し、この後、イオン注入層17において剥離現象を生じさせない程度の低い温度で再度熱酸化を行なうことにより、数十nm程度の良質な薄いシリコン酸化膜を形成すると良い。

【0054】また、上述に代えて、半導体層用基板である単結晶シリコン基板14に対して、イオン注入層17の形成前あるいは形成後に、酸素イオンを表面に注入するかあるいは酸素プラズマ中に放置する処理を行ない、貼り合わせ工程P7の実施後に、行なう剥離工程P8の高温で行なう第2の熱処理により、貼り合わせにより形成した単結晶シリコン薄膜5と基板側との接合強化を行なうと共に単結晶シリコン薄膜5の一部を酸化膜に形成することで界面を良質にすることもできる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すSOI基板の製造工程の概略的な説明図

【図2】SOI基板の製造工程の模式的断面図(その1)

【図3】SOI基板の製造工程の模式的断面図(その2)

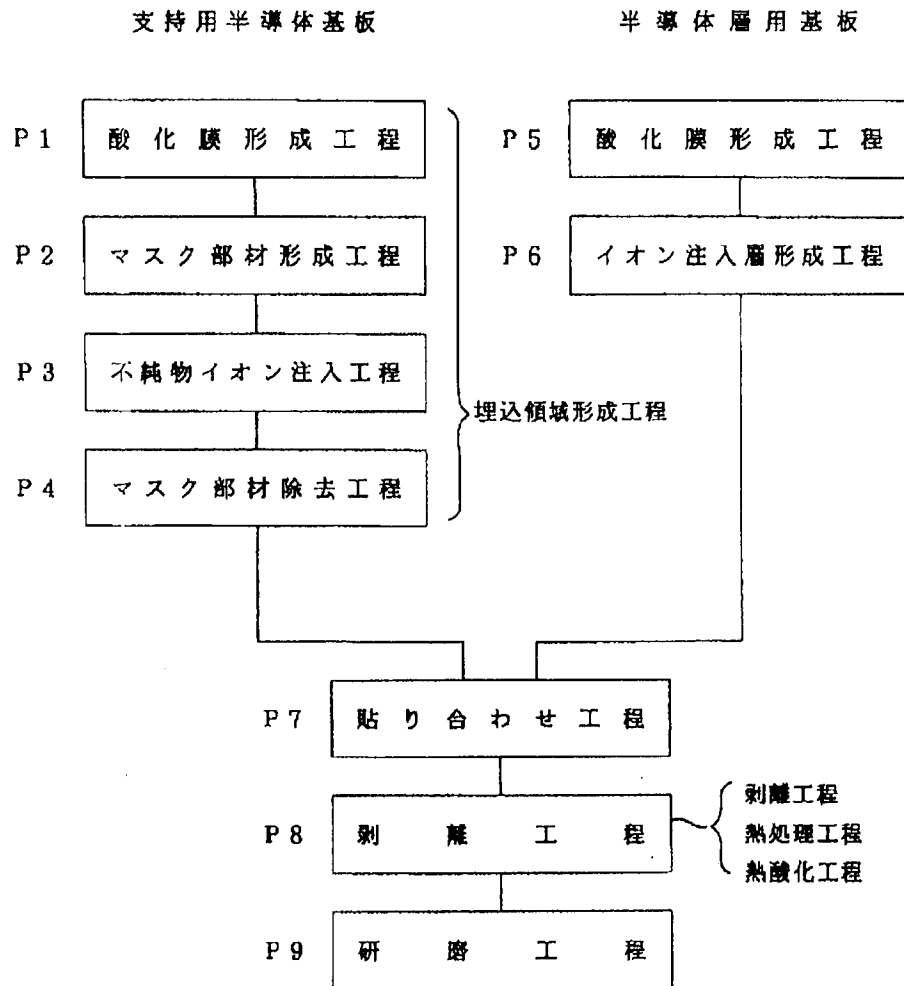
【図4】SOI基板を利用して形成した半導体素子の模式的断面図

【図5】本発明の第2の実施形態を示す製造工程の模式的断面図

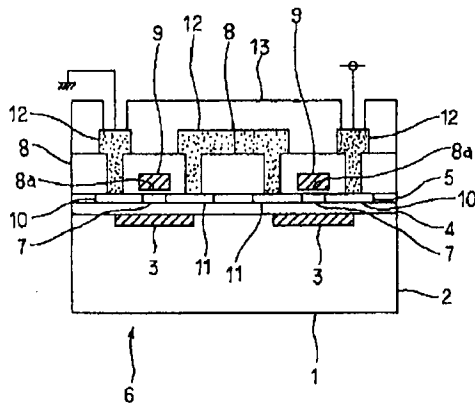
【符号の説明】

1はSOI基板(半導体基板)、2は単結晶シリコン基板(支持用半導体基板)、3は埋込電極パターン(埋込領域)、4は酸化膜、5は単結晶シリコン薄膜(半導体層)、6は半導体素子、7はチャンネル層、8aはゲート酸化膜、8は酸化膜、9はゲート電極、14は単結晶シリコン基板(半導体層用基板)、15はフォトリソ膜(マスク部材)、16は酸化膜、17はイオン注入層、18はn型ウェル領域、19、21は埋込電極パターン(埋込領域)、20、22はフォトリソ膜(マスク部材)である。

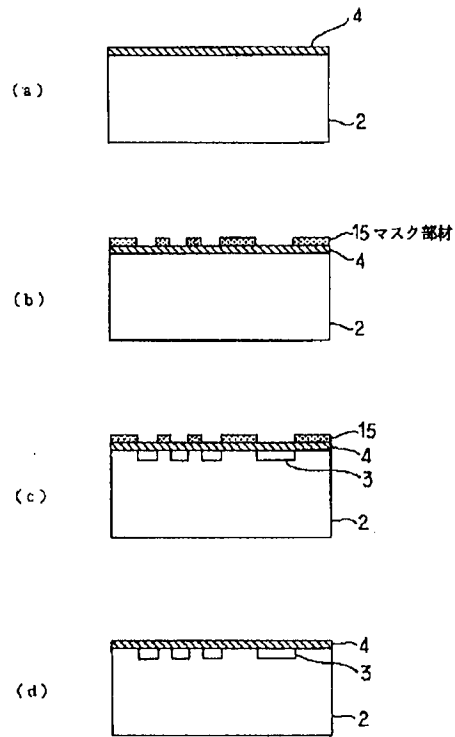
【図 1】



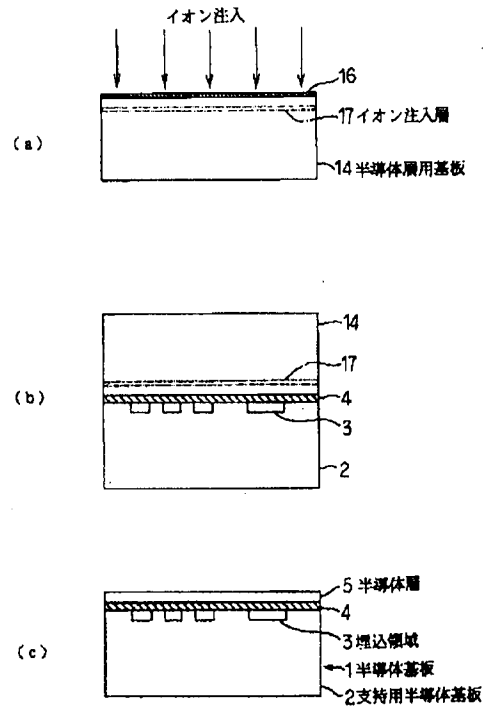
【図 4】



【図2】



【図3】



【図5】

